

**Memory modules having integral terminating resistors and computer system boards for use with same**

Patent Number: ■ [US2001050858](#)  
Publication date: 2001-12-13  
Inventor(s): PARK MYUN-JOO (KR); SO BYUNG-SE (KR)  
Applicant(s):  
Requested Patent: ■ [JP2002023901](#)  
Application Number: US20010858401 20010516  
Priority Number(s): KR20000027026 20000519  
IPC Classification: G11C5/06  
EC Classification: [G11C5/06H](#), [G11C5/00](#)  
Equivalents: KR2001005916, ■ [US6480409](#)

**Abstract**

A memory module for use with a computer system board includes at least one memory chip connected to a bus line conductor and a terminating resistor connected to the bus line conductor. The memory module further includes a connector configured to connect the bus line conductor to bus line of the computer system board. A computer system board includes a bus line including first branch configured to connect to a first memory module and a second branch configured to connect to a second memory module. The computer system board further includes a memory controller coupled to the first and second branches of the bus line at a single pin thereof. In other embodiments, a computer system board includes a bus line having first and second branches. A first switch is operative to selectively couple a first plurality of memory modules to a first branch of a bus line of the system board. A second switch is operative to selectively couple a second plurality of memory modules to the second branch of the bus line. The system board further includes a memory controller connected to the first and second branches of the bus line at a single pin thereof

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-23901

(P2002-23901A)

(43) 公開日 平成14年1月25日 (2002. 1. 25)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード <sup>*</sup> (参考)
G 0 6 F 3/00		G 0 6 F 3/00	K 5 B 0 6 0
13/16	5 1 0	13/16	5 1 0 A 5 M 0 2 4
// G 1 1 C 11/401		G 1 1 C 11/34	3 7 1 K

審査請求 未請求 請求項の数12 O L (全 6 頁)

(21) 出願番号 特願2001-143791(P2001-143791)

(22) 出願日 平成13年5月14日 (2001. 5. 14)

(31) 優先権主張番号 2 0 0 0 P - 2 7 0 2 6

(32) 優先日 平成12年5月19日 (2000. 5. 19)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 朴 勉 周

大韓民国仁川市南区道禾2洞109-1番地  
13統2班 成樂アパートナ棟503号

(72) 発明者 蘇 秉 世

大韓民国京畿道城南市盆唐区野塔洞330番  
地 コーロンアパート130棟701号

(74) 代理人 100086368

弁理士 萩原 誠

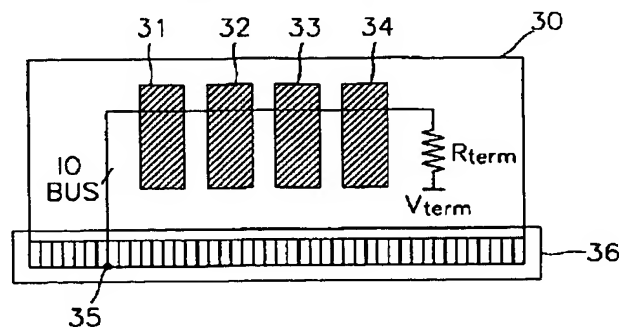
最終頁に続く

(54) 【発明の名称】 終端抵抗を内蔵するメモリモジュール及びこれを含んだ多重チャンネルの構造を有するメモリモジュール

## (57) 【要約】

【課題】 終端抵抗を内蔵するメモリモジュール及びこれを含んだ多重チャンネル構造を有するシステムボードを提供すること。

【解決手段】 メモリモジュールはバスラインを共有する多数のメモリチップを含む。バスラインはメモリモジュールに内蔵される終端抵抗に連結され、終端抵抗には所定の電圧が印加される終端電圧端が連結される。バスラインの1つはメモリモジュールのピンのうち何れか1つのピンと連結されて外部信号ラインと連結される。このメモリモジュールを含むシステムボードは多数のバスラインが第1メモリモジュールと第2メモリモジュールに連結されるが、バスラインはメモリコントローラの1つのピンに連結される。これにより、モジュールのピン数を低減してメモリモジュールを小さくできる。また、このメモリモジュールを含むシステムボードはメモリチップ及びシステムの高速度動作を満足させる。



## 【特許請求の範囲】

【請求項 1】 バスラインを共有する多数のメモリチップと、

所定の電圧が印加される終端電圧端と、  
前記バスラインのそれぞれと前記終端電圧端との間に連結する終端抵抗とを具備することを特徴とするメモリモジュール。

【請求項 2】 前記バスラインの 1 つは、  
前記メモリモジュールのピンのうち何れか 1 つのピンと連結することを特徴とする請求項 1 に記載のメモリモジュール。

【請求項 3】 第 1 バスラインに連結される第 1 メモリモジュールと、  
第 2 バスラインに連結される第 2 メモリモジュールと、  
前記第 1 及び第 2 バスラインが 1 つのピンに連結されるメモリコントローラとを具備することを特徴とするシステムボード。

【請求項 4】 前記第 1 及び第 2 メモリモジュールのそれぞれは、

バスラインを共有する多数のメモリチップと、  
所定の電圧が印加される終端電圧端と、  
前記バスラインのそれぞれと前記終端電圧端との間に連結される終端抵抗とを具備することを特徴とする請求項 3 に記載のシステムボード。

【請求項 5】 前記バスラインの 1 つは、  
前記メモリモジュールのピンのうち何れか 1 つのピンと連結されることを特徴とする請求項 4 に記載のシステムボード。

【請求項 6】 多数のバスラインと、  
前記バスラインが 1 つのピンに連結されるメモリコントローラと、  
前記メモリコントローラから前記バスラインに出力されるデータをスイッチングする多数のスイッチと、  
前記スイッチの出力に应答して前記バスラインに選択的に連結される多数のメモリモジュールとを具備することを特徴とするシステムボード。

【請求項 7】 前記メモリモジュールのそれぞれは、  
前記バスラインを共有する多数のメモリチップと、  
所定の電圧が印加される終端電圧端と、  
前記バスラインのそれぞれと前記終端電圧端との間に連結される終端抵抗とを具備することを特徴とする請求項 6 に記載のシステムボード。

【請求項 8】 前記バスラインの 1 つは、  
前記メモリモジュールのピンのうち何れか 1 つのピンと連結されることを特徴とする請求項 7 に記載のシステムボード。

【請求項 9】 第 1 バスラインと、  
第 2 バスラインと、  
前記第 1 及び第 2 バスラインが各々 1 つのピンに連結されるメモリコントローラと、

前記第 1 バスラインに連結される第 1 スwitch と、  
前記第 2 バスラインに連結される第 2 スwitch と、  
前記第 1 スwitch の出力に应答して前記第 1 バスラインと選択的に連結される第 1 メモリモジュール群と、  
前記第 2 スwitch の出力に应答して前記第 2 バスラインと選択的に連結される第 2 メモリモジュール群とを含むことを特徴とするシステムボード。

【請求項 10】 前記第 1 及び第 2 メモリモジュール群は、

多数のメモリモジュールを備え、  
それぞれのメモリモジュールは、  
前記バスラインを共有する多数のメモリチップと、  
所定の電圧が印加される終端電圧端と、  
前記バスラインのそれぞれと前記終端電圧端との間に連結される終端抵抗とを具備することを特徴とする請求項 9 に記載のシステムボード。

【請求項 11】 前記バスラインの 1 つは、  
前記メモリモジュールピンのうち何れか 1 つのピンと連結されることを特徴とする請求項 9 に記載のシステムボード。

【請求項 12】 第 1 バスラインと、  
第 2 バスラインと、  
前記第 1 バスラインに連結される第 1 スwitch と、  
前記第 2 バスラインに連結される第 2 スwitch と、  
前記第 1 スwitch の出力に应答して前記第 1 バスラインと選択的に連結され、前記第 1 バスラインが第 1 終端抵抗に連結される第 1 メモリモジュール群と、  
前記第 2 スwitch の出力に应答して前記第 2 バスラインと選択的に連結され、前記第 2 バスラインが第 2 終端抵抗に連結される第 2 メモリモジュール群と、  
前記第 1 及び第 2 バスラインが各々 1 つのピンに連結され、前記第 1 メモリモジュール及び第 2 メモリモジュールと対向して配置されるメモリコントローラとを具備することを特徴とするシステムボード。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はメモリモジュール及びこれを装着するシステムボードに係り、特に終端抵抗を内蔵したメモリモジュールと多重チャンネル構造を有するシステムボードに関する。

【0002】

【従来の技術】最近のコンピュータシステムは、高性能マイクロコントローラ（以下“CPU”と称する）の開発による大容量データの高速処理が要求されている。このような要求は CPU の命令集合構造及び機能構造によってプロセッサのワードの長さをさらに長くし、入力クロック周波数を増加させ、かつ外部データバス幅を広げるなどの CPU の特性に応じるものである。特に、外部データバス幅の増加は CPU とデータを相互交換するメモリシステムの容量及びデータの伝送速度を向上させるように誘導

## 3

する。メモリシステムの伝送速度は単位時間当り伝送される入出力データの量を意味するものであって、いわゆる帯域幅と呼ばれる。広帯域幅を有するメモリシステムは一般に大きなデータバス及び高周波数で動作される。

【0003】メモリシステムのデータバスが大きくなることによってメモリチップを装着するメモリモジュールの大きさも増加する。これは単純に装着されるメモリチップの数が多くなってメモリモジュールが大きくなることもあるが、通常、メモリモジュールのピンが増加してメモリモジュールが大きくなるものである。図1はこのような従来のメモリモジュールを示す図面であって、ループスルー構造を示す。これを参照すれば、メモリモジュール15はシステムボード10に装着され、メモリモジュール15内には多数のメモリチップ11、12、13、14が装着されている。メモリチップ11、12、13、14はバスラインを共有してメモリモジュールピン16、17を通じて入出力されるデータを送受信する。システムボード10は終端電圧端 $V_{term}$ とメモリモジュールピン16、17との間に終端抵抗(termination resistor) $R_{term}$ を内蔵する。終端抵抗 $R_{term}$ はバスラインの端末処理のために使われる。

【0004】ところが、従来のメモリモジュール15では終端抵抗 $R_{term}$ がシステムボード10に内蔵されているために、メモリチップ11、12、13、14のバスラインがメモリモジュールピンを通じてシステムボード10の終端抵抗 $R_{term}$ と連結される。そこでメモリチップ11、12、13、14のバスラインの数が増加すると、バスラインと連結されるメモリモジュールピンの数も増加してメモリモジュールが大きくなる。また、メモリモジュールピンはシステムボード10のコネクタソケット18に連結されるが、コネクタソケット18はその特性上これを通過するデータ信号に電気的なノイズを発生させる。したがって、1つのバスラインの通過するソケットの接点数が増加すると、バスラインの特性が劣化される問題がある。

【0005】図2はこのような従来のシステムボードを簡略に示した図面である。図2のシステムボード20にはバスラインIO BUSを通じてメモリコントローラ21と連結する多数のメモリモジュール22、23を含む。バスラインIO BUSと終端電圧端 $V_{term}$ との間には終端抵抗 $R_{term}$ を具備する。メモリモジュール22、23はメモリコントローラ21のバスラインIO BUSを共有するために一方方向に直列連結されている。

## 【0006】

【発明が解決しようとする課題】このようなシステムボード20ではメモリコントローラ21に隣接して配置される第1メモリモジュール22と相対的に遠く配置される第2メモリモジュール23との間にはデータ伝送時間が変わって示されるようになる。そうして、最も遅いデータ伝送時間によってシステムの動作速度が決定される

## 4

ために、システム及びメモリチップの高速動作に適さないという問題点を有する。したがって、広帯域幅を有するメモリシステムで使われるメモリモジュールにおいて、それを大きくしないメモリモジュールが要求される。そして、前記メモリモジュールを内蔵するシステムボードにおいて、メモリシステムの高速動作を満たせるシステムボードも要求される。

【0007】本発明の目的は、広帯域幅を有するメモリモジュールにおいて、その大きさを大きくしないメモリモジュールを提供することである。本発明の他の目的は、前記メモリモジュールを内蔵するシステムボードにおいて、メモリシステムの高速動作を満足させるシステムボードを提供することである。

## 【0008】

【課題を解決するための手段】前記目的を達成するために本発明の一実施例に係るメモリモジュールはバスラインを共有する多数のメモリチップと、所定の電圧が印加される終端電圧端と、バスラインのそれぞれと終端電圧端との間に連結する終端抵抗とを具備する。望ましくは、バスラインの1つはメモリモジュールピンのうち何れか1つのピンと連結される。

【0009】前記他の目的を達成するために本発明の一実施例に係るシステムは第1バスラインに連結される第1メモリモジュールと、第2バスラインに連結される第2メモリモジュールと、第1及び第2バスラインが1つのピンに連結されるメモリコントローラとを具備する。

【0010】前記他の目的を達成するために本発明の他の実施例に係るシステムは多数のバスラインと、バスラインが1つのピンに連結されるメモリコントローラと、メモリコントローラからバスラインに出力されるデータをスイッチングする多数のスイッチと、スイッチの出力にตอบสนองしてバスラインに選択的に連結される多数のメモリモジュールとを具備する。

【0011】前記他の目的を達成するために本発明のさらに他の実施例に係るシステムボードは第1バスラインと、第2バスラインと、第1及び第2バスラインのそれぞれが1つのピンに連結されるメモリコントローラと、第1バスラインに連結される第1スイッチと、第2バスラインに連結される第2スイッチと、第1スイッチの出力にตอบสนองして第1バスラインと選択的に連結される第1メモリモジュール群と、第2スイッチの出力にตอบสนองして第2バスラインと選択的に連結される第2メモリモジュール群とを具備する。

## 【0012】

【発明の実施の形態】本発明と本発明の動作上の利点及び本発明の実施によって達成される目的を十分に理解するために本発明の望ましい実施例を例示する添付図面及び添付図面に記載された内容を参照する。以下、添付した図面に基づいて本発明の望ましい実施例を詳しく説明する。各図面において、同じ部材番号は同じ部材である

ことを示す。メモリモジュール及びこれを含むシステムボードについて本発明を記述する。メモリモジュールは多数のメモリチップを含み、その他のロジックチップを含むことができるが、本明細書では技術的な便宜上、メモリチップのみを含むものについて記述する。そして、メモリモジュール内のバスラインの数はメモリモジュールの性能によって多様に構成されるのであるが、本明細書では2つのバスラインを例として記述する。バスラインにはアドレス信号、データ信号または制御信号が伝えられる。

【0013】図3は本発明の一実施例に係るメモリモジュールを示す図面である。これを参照すれば、メモリモジュール30は多数のメモリチップ31、32、33、34を装着し、メモリチップ31、32、33、34はバスラインIO BUSを共有する。バスラインIO BUSはメモリモジュール30と連結されるシステムボード(図示せず)上のメモリコントローラ(図示せず)によって制御される。バスラインIO BUSの一端はメモリモジュールピン35に連結されてメモリコントローラ(図示せず)と連結され、他端はメモリモジュール30内に含まれる終端抵抗Rtermと連結される。

【0014】図3のメモリモジュール30ではバスラインIO BUSが1つのメモリモジュールピンを通じてメモリモジュール30の外側のメモリコントローラ(図示せず)と連結される。したがって、図1のバスラインIO BUSが2本のメモリモジュールピンとコネクタソケット上の2つの接点を通過してシステムボード上のメモリコントローラと終端抵抗に連結されるものに比べ、図3のバスラインIO BUSは1本のメモリモジュールピン35とコネクタソケット36上の1つの接点を通過してシステムボード上のメモリコントローラ(図示せず)と連結される。したがって、図3のメモリモジュール30は図2において1つのバスラインが2つのソケット接点を有することによってノイズが発生されるものに比べ、1つのバス当り1個の接点を有するためにノイズを減らせることができる。本実施例では1つのバスラインが連結される1つのメモリモジュールについて記述しているが、メモリモジュールの数が増加するとこれを通過する接点数をさらに減らせるので、データの劣化が防止できる。

【0015】また、図3のメモリモジュール30は終端抵抗Rtermを内蔵するために、図1のメモリモジュール10でシステムボード上の終端抵抗Rtermと連結するために使われたメモリモジュールピンを減らすことができる。これにより、図3のメモリモジュール30は終端抵抗Rtermが占める面積があるとしても終端抵抗Rtermをメモリモジュール30内の部品(component)配置時に余分の領域に配置させることができるので、実際的にはメモリモジュール30を大きくしない。

【0016】図4は本発明の一実施例に係るシステムボードを示す図面である。これを参照すれば、システムボ

ード40はメモリコントローラ41とメモリモジュール42、43を含み、メモリモジュール42、43はバスラインIO BUSを通じてメモリコントローラ41のピンと連結される。メモリモジュール42、43は図3のメモリモジュール30とほぼ同一である。すなわち、それぞれのメモリモジュール42、43はバスラインIO BUSと連結される多数のメモリチップと終端抵抗Rtermとを含み、メモリモジュール42、43内のバスラインIO BUSの一端のみがメモリモジュールピンを通じて外部と連結される。

10

【0017】図4のシステムボード40においてバスラインIO BUSはメモリコントローラ41の各ピンから2つのバスラインIO BUSが分岐されて各メモリモジュール42、43内のメモリチップに連結される。これは、図2のシステムボード20上のバスラインIO BUSがメモリコントローラ21の各ピンに1本ずつ連結しつつメモリモジュール22、23に連結されるためにバスラインIO BUSが相対的に長いのに対し、図4のバスラインIO BUSは短いということの意味する。すなわち、バスラインIO BUS上のデータ遅延時間を短縮できる。これにより、バスラインIO BUSを通じて相互動作するメモリコントローラ41とメモリモジュール42、43の動作速度が速くなり、システムボード40の高速動作も可能となる。

20

【0018】また、図4のシステムボード40はメモリコントローラ41の端における信号反射によるバスラインIO BUSのノイズを減らせる。図5及び図6に基づいてこれを説明する。図5は図2の従来のシステムボード20においてメモリコントローラ21から生じる信号反射現象を示す図面である。これを参照すれば、バスラインIO BUSがメモリコントローラ21の1ピンに1バスラインが連結されているために、バスラインIO BUSが連結されるメモリコントローラ21の入力部は開放された特性を有することになる。これにより、メモリコントローラ21に入射されるバスラインIO BUSの入力信号に対して反射信号が生じる。入力信号に対する反射信号の比を反射係数R、バスラインIO BUSがメモリコントローラ21に向かって有する入力インピーダンスをZin、バスラインIO BUS自体のインピーダンスをZchとする。そうすると、反射係数Rは

30

40 【数1】

$$R = \frac{(Z_{in} - Z_{ch})}{(Z_{in} + Z_{ch})} = \frac{(\infty - Z_{ch})}{(\infty + Z_{ch})} = 1$$

と示される。すなわち、反射信号はメモリコントローラに入射された入力信号と同一な大きさと位相を持ちつつバスラインIO BUSを通じて伝えられる。これはバスラインのノイズを誘発する。

50 【0019】これに対し、図6は本発明の一実施例の図

4 のシステムボードにおける信号反射の有無を示す図面である。図 6 の上段に示す図において、メモリコントローラ 41 の一側からバスライン IO BUS を通じて入射される入力信号はこの入力信号を受信するピンに連結される他のバスライン IO BUS のためにインピーダンスが整合された終端のような効果がある。すなわち、図 6 の下段に示す図のようにバスライン IO BUS がメモリコントローラ 41 に向かって有する入力インピーダンス  $Z_{in}$  はバスライン IO BUS 自体のインピーダンス  $Z_{ch}$  と同一となる。したがって、反射係数  $R$  は

【数 2】

$$\begin{aligned} R &= \frac{(Z_{in} - Z_{ch})}{(Z_{in} + Z_{ch})} \\ &= \frac{(Z_{ch} - Z_{ch})}{(Z_{ch} + Z_{ch})} \\ &= 0 \end{aligned}$$

と示される。したがって、反射信号は生じない。これはバスラインがメモリコントローラ 41 の内部で完全整合 (match) された場合と同一な効果を生じる。

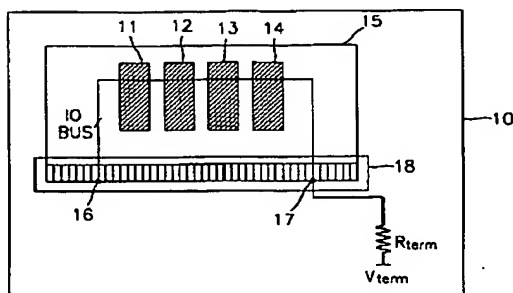
【0020】図 7 は本発明の他の実施例に係るシステムボードを示す図面である。これを参照すれば、システムボード 70 はメモリコントローラ 71、スイッチ 72、75 及び多数のメモリモジュール 73、74、76、77 を含む。スイッチ 72、75 はバッファまたは FET スイッチで構成でき、バスライン IO BUS を選択的にメモリモジュール 73、74、76、77 に連結させる。システムボード 70 は具体的にバスライン IO BUS がメモリコントローラ 71 の 1 ピン当り 2 ラインが連結されるが、これを区分して第 1 バスラインと第 2 バスラインとする。第 1 スイッチ 72 は第 1 バスラインに、第 2 スイッチ 75 は第 2 バスラインに各々連結される。第 1 メモリモジュール群 73、74 は第 1 スイッチ 72 の出力に

応答して第 1 バスラインと選択的に連結され、第 2 メモリモジュール群 76、77 は第 2 スイッチ 75 の出力に

応答して第 2 バスラインと選択的に連結される。

【0021】図 7 のシステムボード 70 はバスライン IO BUS をスイッチ 72、75 によって分岐させるものであって、システムボード 70 に内蔵されるメモリモジュール

【図 1】



ル 73、74、76、77 が多い場合に使われる。これにより、システムの大容量化に有利である。

【0022】

【発明の効果】このような本発明のメモリモジュールは、終端抵抗を内蔵してメモリモジュールピンの増加を減少させてメモリモジュールを大きくしない。このメモリモジュールを含むシステムボードはメモリコントローラの 1 ピンを 2 つのバスラインが共有するように連結させることによって、メモリコントローラとメモリ素子との時間遅延を短縮し、高周波ノイズ特性を改善する。これにより、メモリコントローラとメモリモジュールの動作速度が速くなり、システムボードの高速動作も可能となる。また、バスラインのノイズを減らす効果がある。そして、システムボード内にスイッチを内蔵してバスラインを分岐させ、分岐されたバスラインに多くのメモリモジュールを連結させることができるので、システムの大容量化に好適である。本発明は図面に示された一実施例に基づいて説明されたが、これは例示的なもの過ぎず、当業者ならこれより多様な変形及び均等な他実施例が可能であることが理解できる。したがって、本発明の真の技術的保護範囲は特許請求の範囲の技術的思想によってのみ決まるべきである。

【図面の簡単な説明】

【図 1】従来のメモリモジュールを示す図面。

【図 2】従来のシステムボードを示す図面。

【図 3】本発明の一実施例に係るメモリモジュールを示す図面。

【図 4】本発明の一実施例に係るシステムボードを示す図面。

【図 5】図 2 のシステムボードにおける信号反射現象を示す図面。

【図 6】図 4 のシステムボードにおける信号反射現象を示す図面。

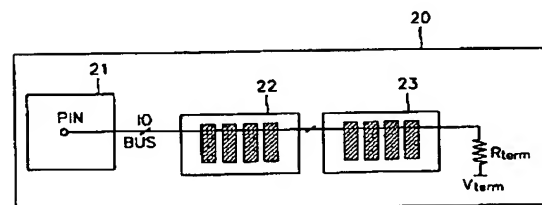
【図 7】本発明の他の実施例に係るシステムボードを示す図面。

【符号の説明】

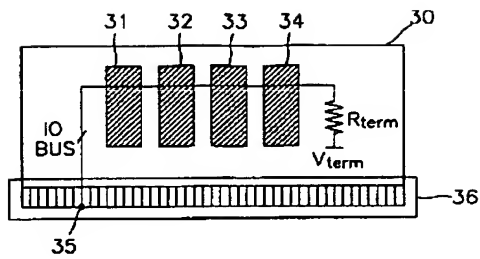
30      メモリモジュール

31, 32, 33, 34      メモリチップ

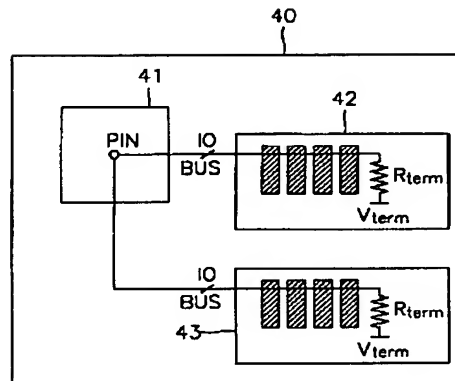
【図 2】



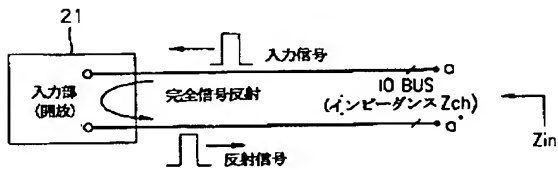
【図3】



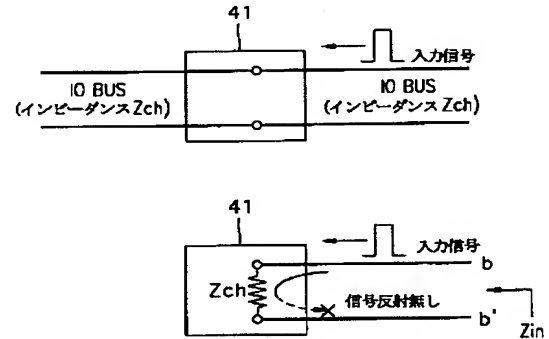
【図4】



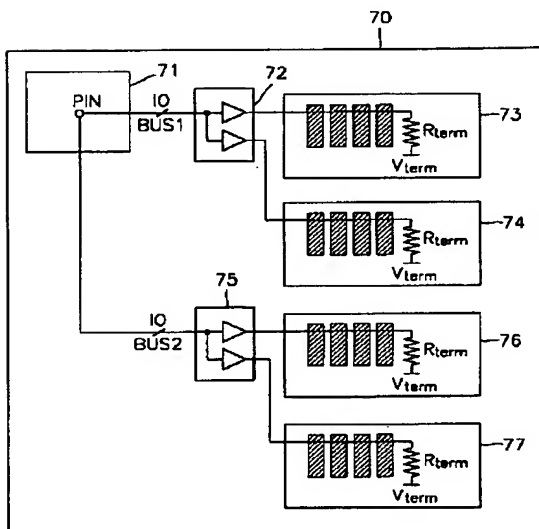
【図5】



【図6】



【図7】



フロントページの続き

Fターム(参考) 5B060 MM06 MM09  
 5M024 AA22 AA41 BB30 BB33 BB34  
 DD20 HH09 LL06 PP01 PP03  
 PP07 PP10